

Japanese Patent Laid-open No. HEI 7-93061 A

Publication date : April 7, 1995

Applicant : K.K. Hitachi Seisakusyo

Title : INFORMATION PROCESSOR

5

(57) [ABSTRACT]

[OBJECT] To achieve the enhancement of the convenience to operate by, in an information processor having a reduced power mode of operation that is connected to a network, enabling the information processor to be restored to its ordinary mode of operation when, during a time period in which the processor is in the reduced power mode of operation, an access has occurred from another processor connected to the network to thereby enable that access to be processed.

10

[CONSTRUCTION] When an access has occurred with respect to the processor from the outside thereof via the network, a network control part 7 outputs a request to interrupt with respect to an input/output control/reduction of power control part 5 to thereby notify that the access has occurred. In order to transfer the processor operation mode to an ordinary mode of operation, the input/output control/reduction of power control part 5 that has received the request to interrupt instructs a power control part 8 to supply power to respective parts (a logical power supply part 28) within the information processor. The power control part 8 that has received that instruction command supplies the power to the respective parts to which, when the processor is in the reduced power mode of operation, no power is supplied, whereby those respective parts are restored to their ordinary mode of operation.

15

20

25 [CLAIM 1] An information processor, the information processor being

connected to another information processor through the intermediary of a network and equipped with at least a central operation processing unit, a main memory device, and a network control unit that upon receipt of an access from the other information processor that is made via the network outputs an access signal that indicates that the
5 access has occurred, the information processor thereby having an ordinary mode of operation and a reduced power mode of operation in which supply of power to predetermined devices is reduced or stopped,

including an access monitor part that, when having received the access signal at the time of the processor being in its reduced power mode of operation, outputs a
10 detection signal that indicates that it has received the access from the other processor, and

a power source control part that, when having received that detection signal, increases the power supplied to the devices the power supply to that is so far reduced or stopped, or re-opens the supply of the power to those devices.

15 [CLAIM 2] The information processor according to claim 1, wherein

the information processor has a unit that holds therein information that indicates that the information processor is in the ordinary mode of operation or in the reduced power mode of operation; and

the central processing unit, upon receipt of the detection signal, reads out that
20 information and, when it has turned out that the information processor is in the reduced power mode of operation, executes processing of restoring the respective parts of the processor to their ordinary mode of operation.

[THE PROBLEMS THAT THE INVENTION IS TO SOLVE] However, since the above-described information processor is in many cases used on a stand-alone basis,
25 the reduced power mode is designed with the reduced consumption of the power and

the enhancement of the convenience to operate, in such cases, being taken into consideration. For this reason, no consideration is given to a case where, during a time period in which the processor is in its reduced power mode, an access has occurred from a relevant network. Namely, in a case where, in the information
5 processor connected to a network, it is attempted to perform data input/output through the intermediary of the network, when the processor is in its reduced power mode, the problem exists that the processor does not accept that access. The object of the present invention is to provide an information processor which solves the above-described problem and, when in its reduced power mode, enables the data
10 input/output made via the network while the power consumption thereof is being decreased and in which, even in the network system, the convenience of use at the time of in the reduced power mode is improved.

[0006]

[EMBODIMENT] Hereinafter, an embodiment of the present invention will be
15 explained with reference to the drawings. Fig. 1 is a block diagram showing the construction of an information processor. The present information processor has a central operation processing unit (CPU) 1 that performs the central function of the information processor, a bus memory/sleep control part 2 that performs access to memory control, system bus control, and reduction of power control, a main memory 3,
20 a system bus 4, an input/output control/reduction of power control part 5, an I/O bus 6 having connected thereto respective I/O devices, a network control part 7 that controls access from the network, a power source control part 8 that performs changeover between the power source channel at the time of an ordinary operation mode and that at the time of a reduced power operation mode, other I/O devices 24 built in the device,
25 and input devices 25 such as a keyboard. The network control part 7 can be realized

by using, for example, a semiconductor integrated circuit "Am79C900" (produced by Advanced Micro Devices) for control of the communication. When an access has occurred from the outside to the information processor through the intermediary of the network, the network control part 7 notifies to the information processor the fact that

5 that access has occurred to it, by issuing a request to interrupt with respect to the input/output control/reduction of power control part 5. The input/output control/reduction of power control part 5 that has received the request to interrupt instructs the power source control part 8 to supply the power in order for the information processor to be transferred to its ordinary mode of operation. The power

10 source control part 8 that has received that instruction command supplies the power to the circuits, as well, to which no power is being supplied when the information processor is in the ordinary mode of operation. Thereby, the part 8 operates so that the information processor may be restored to the ordinary mode of operation. Also, when an input made by a key from the keyboard, or an input from the input device 25

15 such as a mouse that is a pointing device, has occurred, the input/output control/reduction of power control part 5 operates so as for the information processor to be restored from the reduced power mode of operation to the ordinary mode of operation as in the case of an access having occurred from the network. Fig. 2 is a logical block diagram showing the circuits to which when the information processor is in

20 the reduced power mode of operation the power is supplied from the power source control part 8. The reference symbol 9 denotes a logical supply of power part that includes the circuits to which when the information processor is in the reduced power mode of operation the power is supplied. The reference symbol 12 denotes an information processor that is connected to the network and is kept in its ordinary mode

25 of operation, 14 denotes a LAN, 26 denotes a reduced power mode of operation

power supply channel that supplies the power when the information processor is in the reduced power mode of operation, 27 denotes an ordinary mode of operation power supply channel that supplies the power when the information processor is restored to its ordinary mode of operation, and 28 denotes a logical power supply part to which the supply of power is re-opened when the information processor comes into its ordinary mode of operation. To the main memory 3, supply of the power is performed even when the information processor is in the reduced power mode of operation. As a result, by utilizing the self-refresh function (the function of making needless the refreshing control performed from a peripheral control circuit) of the main memory, there are held as are the information in the register of the logical circuit having no power supplied thereto when the information processor is in the reduced power mode of operation and the contents of the main memory 3 and display memory. As a result of this, it also becomes possible to realize the resume function. The input/output control/reduction of power control part 5 not only monitors the occurrence of a network service from the network control part 7 and the input made from the input device 25 but also gives to the power source control part 8 an instruction command to switch the power source supply channel. When the network control part 7 receives an access from the network, the input/output control/reduction of power control part 5 requests the power source control part 8 to turn "ON" all relevant channels including the reduced power mode of operation power supply channel 26 and the ordinary mode of operation power supply channel 27 to thereby supply the power to the CPU 1, bus memory/sleep control part 2, and other I/O devices 24. The network control part 7 accepts that access and the part 5 processes the network service. Also, it becomes possible to monitor at all times the input made by a key from the input device 25. The part 5 accepts the key input as an interrupt and executes transfer processing to the

ordinary mode of operation. Fig. 3 is a logical block diagram showing the circuits with respect to which the power is supplied when the information processor is in its ordinary mode of operation. The reference symbol 10 denotes a logical power supply part that is a circuitry with respect to which the power is supplied when the information

5 processor is in its ordinary mode of operation. As shown in Fig. 3, the power is supplied to the entire apparatus, thereby the information processor is restored from the reduced power mode of operation to the ordinary mode of operation. Fig. 4 shows the environment in which the present information processor is connected to the network. The reference symbol 11 denotes the information processor that is

10 connected to the network and is kept in the state of reduced power mode of operation, and 12 and 13 denote the information processor that is connected to the network and is kept in the ordinary mode of operation. The reference symbol 14 denotes the LAN. The present invention concerns a case where access is made from the processor 12 or 13 with respect to the processor 11 kept in the state of reduced power mode of

15 operation through the intermediary of the network. In that case, it is arranged that the processor 11 is immediately restored to the ordinary mode of operation, thereby transmission and reception of data between the processors are smoothly performed.

[0007] Fig. 5 shows an operation flow chart. 15 denotes the power source "ON" processing that supplies the power to the processor, 16 denotes the ordinary mode of

20 operation processing that brings all devices constituting the processor to their states of the power being supplied thereto, and 17 denotes the reduced power mode of operation processing that, as shown in Fig. 2, causes the supply of the power only to the main memory 3, power source control part 8, input/output control/reduction of power control part 5, and network control part 7. 18 represents access processing

25 that determines the occurrence, or the non-occurrence, of an access from the network.

300 represents transfer processing the transfer of which is made to the ordinary mode of operation. The detail thereof will be later described. After the turning "ON" 15 of the power source, transfer is made to the ordinary mode of operation, thereby the power is supplied to the entire processor, thereby the respective devices become able to come into an operable state. When suspending the working operation and transfer is made to the reduced power mode of operation 17 such as a sleep mode wherein the status of that operation is preserved, the processor always monitors the occurrence of an access from the outside such as the network. When an access has occurred, the processor operates so that it may be restored to its ordinary mode of operation.

10 As a result of this, in a case where, during the reduced power mode of operation, a network access has occurred between the processors, it becomes possible for the reception processor to become able to receive that network service with no problem.

Fig. 6 shows an internal block diagram of the power source control part 8 and input/output control/reduction of power control part 5. 19 denotes a power source channel changeover part that is built in the power source control part 8. 20 denotes a status register that holds therein the processor status, built in the input/output control/reduction of power control part 5, that represents whether the processor is in the ordinary mode of operation or in the reduced power mode of operation, 21 denotes an access monitor/restoration to state of operation control part that monitors the access

20 that comes from the network control part 7, 22 denotes an occurrence of access/interrupt signal that is input from the network control part 7 to the access monitor/restoration to state of operation control part, 23 denotes a power source supply control signal that is input from the access monitor part 21 to the power source channel changeover part 19 and that controls the supply of the power to the logical power

25 supply part of the processor, and 29 denotes an interrupt signal that causes the

occurrence of an interrupt from the access monitor/restoration to state of operation control part 21 with respect to the CPU 1. When the network control part 7 receives from another processor connected to the network via this network a control signal such as a command or an IP address (the ID number of that processor on the network), the
5 part 7 inputs an interrupt with respect to the input/output control/reduction of power control part 5 and makes a request to permit it to use the I/O bus 6. In the ordinary mode of operation, the input/output control/reduction of power control part 5 mediates the requests to use the I/O bus 6 made from the other I/O devices and the network control part 7, each of that is connected to the I/O bus. The part 5 assigns the right to
10 use the I/O bus 6 according to the order of priority in which the bus right is assigned. After access has finished being done between the control part 5 and the I/O device to which the bus right has been assigned, the part 5 responds, with a permission signal, to the other I/O devices 24, or the network control part 7, which is the next requester. When the information processor is in the reduced power mode of operation, the part 8
15 does not supply the power source to the CPU 1, bus memory/sleep control part 2, other I/O devices 24 within the processor, etc. to thereby achieve the reduction of power. The processor thereby withdraws from performing the internal operation and the part 5 operates so as to monitor only the access that will occur from the network. Upon occurrence of an access from the network, the network control part 7 outputs the
20 occurrence of access/interrupt signal 22 that notifies thereto the occurrence of that network access to the access monitor/restoration to state of operation control part 21 of the input/output control/reduction of power control part 5. The access monitor/restoration to state of operation control part 21 receives the occurrence of access/interrupt signal 22 from the network control part 7 and receives from the status
25 register 20 the status information of the processor regarding whether the processor is

in its ordinary mode of operation or in its reduced power mode of operation. When the processor is in the ordinary mode of operation, the part 21 performs data reception that is made with respect to an ordinary network access. When the processor is in the reduced power mode of operation, the power is supplied to the CPU 1, bus
5 memory control/sleep control part 2, and other I/O devices 24 so as to enable the performance of the ordinary operation. To this end, the power source supply control signal 23 is input to the power source channel changeover part 19. The power control part 8 is a microcomputer that monitors the residual amount of battery power and that performs changeover of the power source channels and that has built therein
10 a power source control program. According to the input of the power source supply control signal 23 from the access monitor/restoration to state of operation control part 21, the power source control program reads the power supply information out into a device inside the power source channel changeover part 19 and, according to that information, operates to instruct the changeover of the power source channels. As a
15 result of this, even when the processor is in its reduced power mode of operation, network access is at all times made possible and it becomes possible to provide an information processor wherein reduction of power is realized.

[0008] Fig. 7 is a flow chart showing the detail of transfer processing 300 to the ordinary mode of operation. 30 represents the control of the power source channel
20 changeover part 19 that, in a case where an access has occurred from the network or a key input has occurred, the access monitor/restoration to state of operation control part 21 performs (the power source channel control processing), 31 represents the occurrence of an interrupt with respect to the CPU 1 processing that the access monitor/restoration to state of operation control part 21 executes, 32 represents the
25 reduced power mode of operation determination processing that, by reading out the

status register 20 inside the input/output control/reduction of power control part 5 by a CPU interrupt handler, confirms the status of the processor, 33 represents the restoration to ordinary mode of operation processing the restoration of that is made to the ordinary mode of operation, 34 represents the inside-power source stop part register content restoration processing that is the restoration to ordinary mode of operation processing and that restores from the main memory the contents of various kinds of registers inside the logical-control part of the power stop part, 35 represents the status register setting processing that is for the purpose of indicating that the processor is in the ordinary mode of operation, and 36 represents the ordinary mode of operation. During a time period in which the processor is in its reduced power mode of operation, an access from the network or a key input has occurred, the access monitor/restoration to state of operation control part 21 causes the power source channel changeover part 19 to make active the channels for supply of the power to the CPU 1 and other circuits to which the power is not supplied. The part 21 thereby causes the occurrence of an interrupt with respect to the CPU 1 and thereby commits the processing to the initializing program handler that is then converted to a ROM. According to the kind of the access that has occurred, it is possible to perform setting of the program routine that is to be executed. By executing the restoration program routine to the ordinary mode of operation, the processor is restored to the ordinary mode of operation. First, through the execution of the power source channel control processing 30, the power is supplied to the entire processor. Then, an interrupt with respect to the CPU 1 is caused to occur. Then, upon receipt of the access that has occurred, the processing is committed to the interrupt handler of initializing program. Then, the handler reads out the contents of the status register 20. If the processor is in the reduced power mode of operation, the restoration processing 33 to the ordinary

mode of operation is executed. If the processor is not in the reduced power mode of operation, the transfer to the ordinary mode of operation is made. In the restoration processing 33 to the ordinary mode of operation, the contents of the registers within the power stop part are restored from the main memory 3 and the status register has its status data set to the ordinary mode of operation, thereby transfer to the ordinary mode of operation is complete. As a result of this, the restoration processing of restoring the working status from the main memory, etc. can be realized. Namely, in the information processor having the resume function and the other finely power-reducing function of various I/O devices and display device, the operator, or an operator who accesses through the intermediary of the network, when having accessed the processor, can immediately restore the processor to its ordinary state of operation. That is, the convenience of use can be improved.

[0009]

[Effect of the Invention] Since the present invention is constructed in the above-explained way, the processor is immediately restored to the ordinary state of operation with respect to an access that is made to, for example, a workstation, from outside, in the environment of network involving it therein. This comes to enable providing an information processor in which the convenience of use of the network environment involving it therein is achieved. In addition, the reduction of the consumed power can be achieved.

[BRIEF DESCRIPTION OF THE DRAWINGS]

[Fig. 1] Fig. 1 is a block diagram showing the logical construction of the system.

[Fig. 2] Fig. 2 is a logical block diagram showing the current supply circuitry that has current supplied thereto when the processor is in its reduced power mode of

operation.

[Fig. 3] Fig. 3 is a logical block diagram showing the current supply circuitry that has current supplied thereto when the processor is in its ordinary mode of operation.

5 [Fig. 4] Fig. 4 is a system construction view showing a network environment.

[Fig. 5] Fig. 5 is an operation flow chart.

[Fig. 6] Fig. 6 is an explanatory view of the interior of the control parts.

[Fig. 7] Fig. 7 is a flow chart showing the transfer to the ordinary mode of operation.

10

[Fig. 1]

2 bus memory/sleep control part

3 main memory

4 system bus

15 5 input/output control/reduction of power control part

6 I/O bus

7 network control part

8 power source control part

24 other I/O devices

20 25 input device

[Fig. 2]

2 bus memory/sleep control part

3 main memory

4 system bus

25 5 input/output control/reduction of power control part

- 6 I/O bus
- 7 network control part
- 8 power source control part
- 24 other I/O devices
- 5 25 input device

[Fig. 3]

- 2 bus memory/sleep control part
- 3 main memory
- 4 system bus
- 10 5 input/output control/reduction of power control part
- 6 I/O bus
- 7 network control part
- 8 power source control part
- 24 other I/O devices
- 15 25 input device

[Fig. 5]

- 15 turns power source "ON"
- 16 ordinary mode of operation
- 17 reduced power mode of operation
- 20 18 access occurrence or non-occurrence
- occurrence, non-occurrence
- 300 transfer processing to ordinary mode of operation

[Fig. 6]

- 7 network control part
- 25 8 power source control part

- 19 power source channel changeover part
- 20 status register
- 21 access monitor/restoration to state of operation control part
- 25 input device
- 5 [Fig. 7]
 - 30 control power channels
 - 31 occurrence of access with respect to CPU
 - 32 reduction of power mode
 - 33 restoration to ordinary state of operation processing
 - 10 34 restores contents of registers in power stop part
 - 35 sets status register
 - 36 ordinary mode of operation

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-93061

(43)公開日 平成7年(1995)4月7日

(51)Int.Cl.⁹

G 0 6 F 1/26

1/32

13/00

識別記号

庁内整理番号

F I

技術表示箇所

3 5 4 Z 7368-5B

G 0 6 F 1/ 00

3 3 4 G

3 3 2 Z

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21)出願番号 特願平5-236711

(22)出願日 平成5年(1993)9月22日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 神牧 秀樹

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所マイクロエレクトロニクス機器開発研究所内

(72)発明者 加藤 伸隆

愛知県尾張旭市晴丘町池上1番地 株式会社日立製作所オフィスシステム事業部内

(74)代理人 弁理士 富田 和子

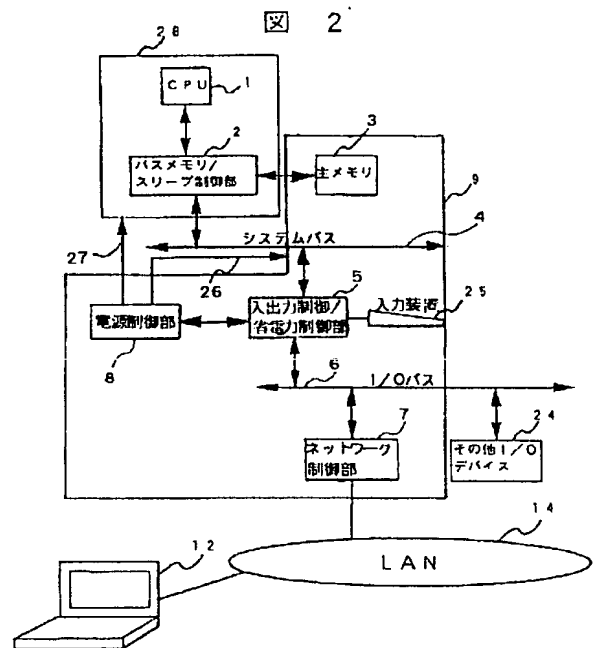
最終頁に続く

(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 ネットワークに接続された、省電力動作モードを持つ情報処理装置において、省電力動作モード時にネットワークに接続している他の機器からアクセスが発生した場合に通常動作モードに復帰し、アクセスを処理可能とすることにより操作性の向上を図る。

【構成】 外部からネットワークを介し装置にアクセスが発生した場合、ネットワーク制御部7は、入出力制御／省電力制御部5に対し割込み要求を出力し、アクセスが発生したことを伝達する。通常動作モードに移行させるために、割込み要求を受けた入出力制御／省電力制御部5は、電源制御部8に対して情報処理装置内の各部(通電論理部28)に電力を供給するように指示する。これを受けた電源制御部8は、省電力動作モード時に通電していない各部に給電し、各部は、通常動作モードに復帰する。



【特許請求の範囲】

【請求項 1】 ネットワークにより他の機器と接続され、中央演算処理装置と、主記憶装置と、上記ネットワークを介する他の機器からのアクセスを受付けて、アクセスがあったことを示すアクセス信号を出力するネットワーク制御手段とを少なくとも備え、

通常動作モードと、予め定められた装置への電力供給を低減もしくは停止する省電力動作モードとを有する情報処理装置において、

省電力動作モードの時に、上記アクセス信号を受けると、上記他の機器からのアクセスを受けたことを示す検出信号を出力するアクセス監視部と、

上記検出信号を受けた場合に、電力供給が低減もしくは停止していた装置への電力供給を増加もしくは再開する電源制御部とを有することを特徴とする情報処理装置。

【請求項 2】 請求項 1 記載の情報処理装置において、上記情報処理装置が通常動作モードか省電力動作モードかを示す情報を保持する手段を有し、

上記中央処理装置は、上記検出信号を受けると、上記情報を読み出し、省電力動作モードにあることが判明したときは、装置の各部を通常動作モードに復帰させる処理を行うことを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、通常動作モードと、省電力動作モードを低減した省電力状態とを有するパーソナルコンピュータ、ワークステーション等の情報処理装置に関し、特に、通常動作モードへの復帰方式に関する。

【0002】

【従来の技術】 近年、オフィス業務で事務処理などを行うために使用されるパーソナルコンピュータ（PC）やワークステーション（WS）などの情報処理装置は小型、軽量化が進み、特に PC については、バッテリー駆動で動作するものが製品化されている。このような動向から、WS にたいしてもバッテリー駆動で動作させたいという要求があり、製品化が検討されている。バッテリー駆動で動作する情報処理装置に関して、バッテリーの寿命時間の拡大のために多くの種類のパワーマネージメント制御が提案され、低消費電力化の検討がされている。例えば、特開平 2-294760 号公報においては、キー入力部から所定期間データが入力されない場合に電源を自動的に切断するオートパワーオフ部を設けて節電効果を向上させ、これによってバッテリーの寿命時間を長くする情報処理装置が提案されている。すなわち、この情報処理装置は、省電力モードを装備し、このモードに入る時は、オートパワーオフ部による電源切断前にバックアップ記憶部に表示用データを退避させ、電源が再投入されたときに上記表示用データを再度表示するリジューム機能を有している。

【0003】

【発明が解決しようとする課題】 しかしながら、上記従来の情報処理装置はスタンドアロンで使用されるケースが多いため、上記省電力モードはこのケースにおける低消費電力化と操作性の向上を考慮して設けられている。このため、装置が省電力モードに有るときにネットワークからアクセスがあったときのことが考慮されていない。すなわちネットワークに接続された情報処理装置においてネットワークを介してデータの入出力を行おうとした場合に、装置が省電力モードに有るときは、アクセスを受け付けられないという問題がある。本発明の目的は、上記の問題を解決して、装置の消費電力を低減しつつ、省電力モード時にネットワークを介するデータの入出力を可能として、ネットワークシステムにおいても省電力モード時の使い勝手が向上した情報処理装置を提供することにある。

【0004】

【課題を解決するための手段】 上記の目的を達成するため、ネットワークにより他の機器と接続され、中央演算処理装置と、主記憶装置と、上記ネットワークを介する他の機器からのアクセスを受付けて、アクセスがあったことを示すアクセス信号を出力するネットワーク制御手段とを少なくとも備え、通常動作モードと、予め定められた装置への電力供給を低減もしくは停止する省電力動作モードとを有する情報処理装置において、省電力動作モードの時に、上記アクセス信号を受けると、上記他の機器からのアクセスを受けたことを示す検出信号を出力するアクセス監視部と、上記検出信号を受けた場合に、電力供給が低減もしくは停止していた装置への電力供給を増加もしくは再開する電源制御部とを有することとしたものである。

【0005】

【作用】 上記の構成としたことで、ネットワークに接続された情報処理装置が省電力動作モードにある場合でも、任意の時点でネットワークからのアクセスを受け付けることができる。従って、情報処理装置の低消費電力化と、省電力モード状態にある情報処理装置へのデータの入出力とが可能になり、ネットワークシステムにおいて使用されたときの操作性の向上が図れる。

【0006】

【実施例】 以下、本発明の一実施例を図面により説明する。図 1 は、情報処理装置の構成を示すブロック図である。本情報処理装置は、情報処理装置の中枢機能を果たす中央演算処理装置（CPU）1 と、メモリへのアクセス制御、システムバスの制御、省電力制御を行うバスメモリ／スリープ制御部 2 と、主メモリ 3 と、システムバス 4 と、入出力制御／省電力制御部 5 と、各 I/O デバイスが接続される I/O バス 6 と、ネットワークからのアクセスを制御するネットワーク制御部 7 と、通常動作モード時と省電力動作モード時の電源チャネルを切り替

3

える電源制御部 8 と、装置に内蔵しているその他の I/O デバイス 2 4 と、キーボード等の入力装置 2 5 とを有する。ネットワーク制御部 7 は、例えば、通信制御用の半導体集積回路「Am79C900」(Advanced Micro Devices 社製)を用いることにより実現できる。外部からネットワークを介して情報処理装置にアクセスが発生した場合、アクセスが発生したことを、ネットワーク制御部 7 が入出力制御/省電力制御部 5 に対し割込み要求を発生することで伝達する。割込み要求を受けた入出力制御/省電力制御部 5 は、電源制御部 8 に通常動作モードに移行させるために電源供給するように指示する。これを受けた電源制御部 8 は、省電力動作モード時に通電していなかった回路にも給電し、通常動作モードに復帰するように動作する。また、キーボードからのキー入力や、ポインティングデバイスであるマウス等の入力装置 2 5 からの入力が発生した場合には、入出力制御/省電力制御部 5 がネットワークからのアクセスが発生した場合と同様に省電力動作モードから通常動作モードに復帰するよう動作する。図 2 は省電力動作モード時に電源制御部 8 から通電される回路を示す論理ブロック図である。9 は省電力動作モード時に通電される回路である通電論理部を示す。1 2 はネットワークに接続している通常動作モードにある情報処理装置、1 4 は LAN、2 6 は省電力動作モード時に給電する省電力動作モード給電チャネル、2 7 は通常動作モードに復帰する時の通常動作モード給電チャネル、2 8 は通常動作モード時に復帰する通電論理部である。主メモリ 3 には、省電力動作モード時にも通電を行う。これは、主メモリのセルフリフレッシュ機能(周辺の制御回路からのリフレッシュ制御を必要としない機能)を活用し、省電力動作モード時に通電しない論理回路のレジスタの情報や主メモリ 3 や表示メモリの内容を保持する。これにより、レジューム機能の実現も可能となる。入出力制御/省電力制御部 5 は、ネットワーク制御部 7 からのネットワークサービスの発生や入力装置 2 5 からの入力の監視を行うとともに、電源制御部 8 に対し電源供給チャネルの切り替えを指示する。ネットワークからのアクセスをネットワーク制御部 7 が受けると、入出力制御/省電力部 5 が電源制御部 8 に省電力動作モード給電チャネル 2 6、通常動作モード給電チャネル 2 7 を全て ON 状態とし、CPU 1、バスメモリ/スリープ制御部 2 やその他 I/O デバイス 2 4 に通電するように要求する。ネットワーク制御部 7 は、アクセスを受け付け、ネットワークサービスの処理を行う。また、入力装置 2 5 からのキー入力等を常に監視することが可能となる。キー入力を割込みとして受け付け通常動作モードへの移行処理を行う。図 3 は、通常動作時に通電される回路を示す論理ブロック図である。1 0 は通常動作時に通電される回路である通電論理部を示す。図 3 に示すように装置全体に通電し、省電力動作モードから通常動作モードに復帰する。図 4 にネットワークに本情報処理

4

装置が接続された環境を示す。1 1 はネットワークに接続され省電力動作モード状態にある情報処理装置、1 2、1 3 はネットワークに接続され通常動作モードの装置である。1 4 は LAN を示している。本発明は、装置 1 2、1 3 から省電力動作モード状態にある装置 1 1 に対し、ネットワークを介してアクセスした場合について装置 1 1 を直ちに通常動作モードに復帰させ、装置間のデータの授受を円滑に行うものである。

【0007】図 5 に動作フローチャートを示す。1 5 は装置に電源供給を行う電源 ON 処理、1 6 は装置を構成するデバイス全てを通電状態にする通常動作モード処理、1 7 は図 2 に示したように主メモリ 3、電源制御部 8、入出力制御/省電力制御部 5、ネットワーク制御部 7 にのみ通電する省電力動作モード処理である。1 8 はネットワークからのアクセスの有無を判定するアクセス処理である。3 0 0 は、通常動作モードへの移行処理である。詳細は後述する。電源 ON 1 5 後通常動作モードに移行し、装置全体に通電を行うことで各デバイスが動作可能な状態になる。作業を中断し、その作業状態を保存するスリープモード等の省電力動作モード 1 7 に移行すると、常にネットワーク等の外部からのアクセスを監視し、アクセスが発生した場合には、通常動作モードに復帰するように動作する。これにより、省電力動作モード時に装置間でネットワークアクセスが発生した場合には、問題なくネットワークサービスを受けることが可能となる。図 6 に電源制御部 8 と入出力制御/省電力制御部 5 の内部ブロック図を示す。1 9 は電源制御部 8 に内蔵する電源チャネル切り替え部である。2 0 は入出力制御/省電力制御部 5 に内蔵する通常動作モード/省電力動作モードであるかの装置状態を保存するステータスレジスタ、2 1 はネットワーク制御部 7 からのアクセスを監視するアクセス監視/動作状態復帰制御部、2 2 はネットワーク制御部 7 からアクセス監視/動作状態復帰制御部 2 1 に入力するアクセス発生割込み信号、2 3 はアクセス監視部 2 1 から電源チャネル切換部 1 9 に入力し、装置の通電論理部への電源供給を制御する電源供給制御信号、2 9 はアクセス監視/動作状態復帰制御部 2 1 から CPU 1 へ割込みを発生させる割込み信号である。ネットワーク制御部 7 はネットワークを介してネットワークに接続されている他の装置からコマンドや IP アドレス(ネットワークにおける装置の ID 番号)等の制御信号を受け取ると入出力制御/省電力制御部 5 に対し割込みを入力し、I/O バス 6 の使用の許可要求を行う。通常モード時には、入出力制御/省電力制御部 5 は I/O バス上に接続されるその他 I/O デバイス 2 4 やネットワーク制御部 7 からの I/O バス 6 の使用権の調停を行い、バス権譲渡の優先順位をもとに I/O バス 6 の使用権を譲渡する。バス権を譲渡した I/O デバイスとのアクセス終了後、次の要求元であるその他 I/O デバイス 2 4 やネットワーク制御部 7 に許可信号を応答す

る。省電力動作モード時には、CPU 1、バスメモリ／スリープ制御部 2、装置内のその他 I/O デバイス 24 等への電源供給は行わず省電力化を図り、内部動作は行わず、ネットワークからのアクセスのみを監視する様に動作する。ネットワークからのアクセスが発生すると、ネットワーク制御部 7 が入出力制御／省電力制御部 5 のアクセス監視／動作状態復帰制御部 21 に対し、ネットワークアクセスの発生を知らせるアクセス発生割込み信号 22 を出力する。アクセス監視／動作状態復帰制御部 21 はネットワーク制御部 7 からのアクセス発生割込み信号 22 を受け、通常動作モードであるか、省電力動作モード状態であるかの装置の状態情報をステータスレジスタ 20 から受け取り、通常動作モードであれば、通常のネットワークアクセスに対するデータの授受を行う。省電力動作モードの状態である場合には、CPU 1、バスメモリ制御、スリープ制御部 2、その他 I/O デバイス 24 に通電することで、通常動作可能とするために電源チャンネル切換部 19 に電源供給制御信号 23 を入力する。電源制御部 8 はバッテリー残量の監視を行うとともに、電源チャンネルの切り換えを行うマイコンで、電源制御プログラムを内蔵している。アクセス監視／動作状態復帰制御部 21 からの電源供給制御信号 23 の入力に応じて、電源制御プログラムが電源チャンネル切換部 19 内の装置へ通電情報を読みだし、その情報をもとに電源チャンネルの切り換えを指示するように動作する。これにより、省電力動作モード状態である場合にも常にネットワークアクセスを可能にし、省電力化を図った情報処理装置の提供が可能となる。

【0008】図 7 は通常動作モードへの移行処理 300 の詳細を示すフローチャートである。30 はネットワークからのアクセスやキー入力が発生した場合に、アクセス監視／動作状態復帰制御部 21 が行う電源チャンネル切換部 19 の制御（電源チャンネル制御処理）、31 はアクセス監視／動作状態復帰制御部 21 が行う CPU 1 への割り込み発生処理、32 は CPU の割り込みハンドラにより入出力制御／省電力制御部 5 内部のステータスレジスタ 20 を読みだすことで、装置状態を確認する省電力動作モード判定処理、33 は通常動作モードへの復帰処理、34 は通常動作モードへの復帰処理である電源停止部の制御論理内の各種レジスタの内容を主メモリから復帰させる電源停止部のレジスタの内容復帰処理、35 は通常動作モードであることを示すためのステータスレジスタ設定処理、36 は通常動作モードである。装置が省電力動作モード状態にあつてネットワークからのアクセスやキー入力が発生した場合は、アクセス監視／動作状態復帰制御部 21 が、電源チャンネル切換部 19 へ CPU 1 や他の通電していない回路への給電チャンネルを有効にし、CPU 1 へ割り込みを発生することで、ROM 化した初期設定プログラムのハンドラに処理を移行させる。割り込み発生の種類によって実行させるプログラムルー

チンは設定可能であり、通常動作モードへの復帰プログラムルーチンを実行させることで、通常動作モードに復帰する。まず、電源チャンネル制御処理 30 により装置全体に電力を供給後、CPU 1 への割り込みを発生し、割り込み発生を受けて、初期設定プログラムの割り込みハンドラに処理を移行し、これがステータスレジスタ 20 を読みだし、省電力動作モードであれば、通常動作モードへの復帰処理 33 を行う。省電力動作モードでなければ、通常動作モードに移行する。通常動作モードへの復帰処理 33 では、電源停止部のレジスタの内容を主メモリ 3 から復帰させ、ステータスレジスタを通常動作モードに設定することで、通常動作モードへの移行が完了する。これにより、主メモリ等からの作業状態の復帰処理、すなわち、レジャー機能や、その他のキメ細かな各種 I/O デバイス、表示デバイスの省電力機能を持つ情報処理装置において、操作者や、ネットワークを介してアクセスする作業者が、アクセスしたとき、装置をただちに通常動作状態に復帰でき、使い勝手の向上が図れる。

【0009】

【発明の効果】本発明は、以上説明したように構成されているので、ワークステーション等ネットワーク環境における外部からのアクセスに対し、ただちに通常状態に復帰することで、ネットワーク環境の使い勝手の向上を図った情報処理装置の提供が可能となる。また、低消費電力化が図れる。

【図面の簡単な説明】

【図 1】システムの論理構成を示すブロック図

【図 2】省電力動作モード時の通電回路を示す論理ブロック図

【図 3】通常動作モード時の通電回路を示す論理ブロック図

【図 4】ネットワーク環境を示すシステム構成図

【図 5】動作フローチャート

【図 6】制御部の内部の説明図

【図 7】通常動作モードへの移行を示すフローチャート

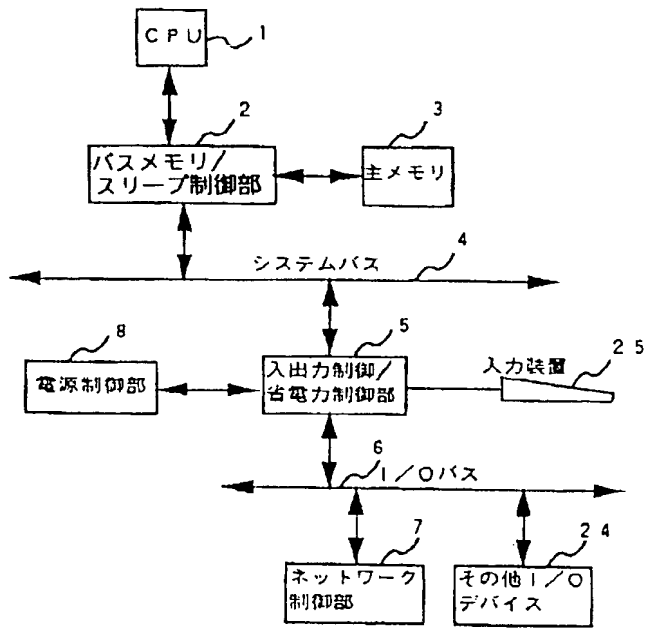
【符号の説明】

1…CPU、2…バスメモリ／スリープ制御部、3…主メモリ、4…システムバス、5…入出力制御／省電力制御部、6…I/Oバス、7…ネットワーク制御部、8…電源制御部、9…省電力動作モード時の通電論理部、10…通常モード時の通電論理部、11…省電力動作モードの装置、12…通常動作モードの装置 1、13…通常動作モードの装置 2、14…LAN、15…電源 ON 処理、16…通常動作モード、17…省電力動作モード、18…アクセス監視処理、19…電源チャンネル切り替え部、20…ステータスレジスタ、21…アクセス監視部、22…アクセス発生割込み信号、23…電源供給制御信号、24…その他 I/O デバイス、25…入力装置、26…省電力動作モード給電チャンネル、27…通常

動作モード給電チャネル、28…通常動作モード時に復帰する通電論理部、29…割り込み信号、30…割り込み発生処理、31…省電力動作モード判定処理、32…電源チャネル制御処理、33…通常動作モードへの復帰処

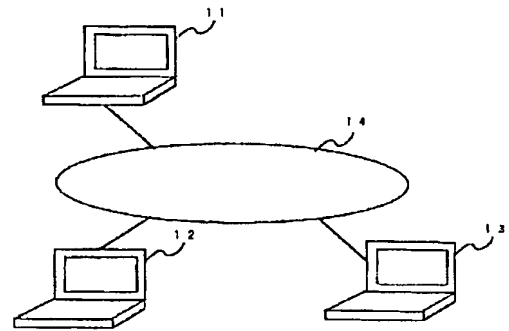
【図1】

図 1



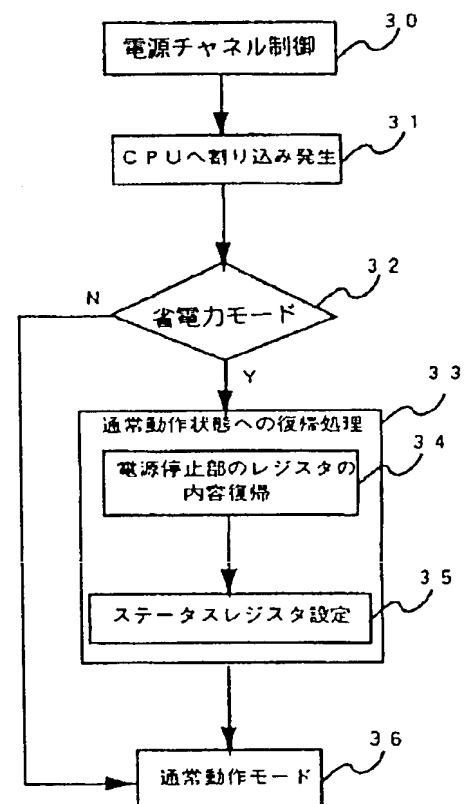
【図4】

図 4



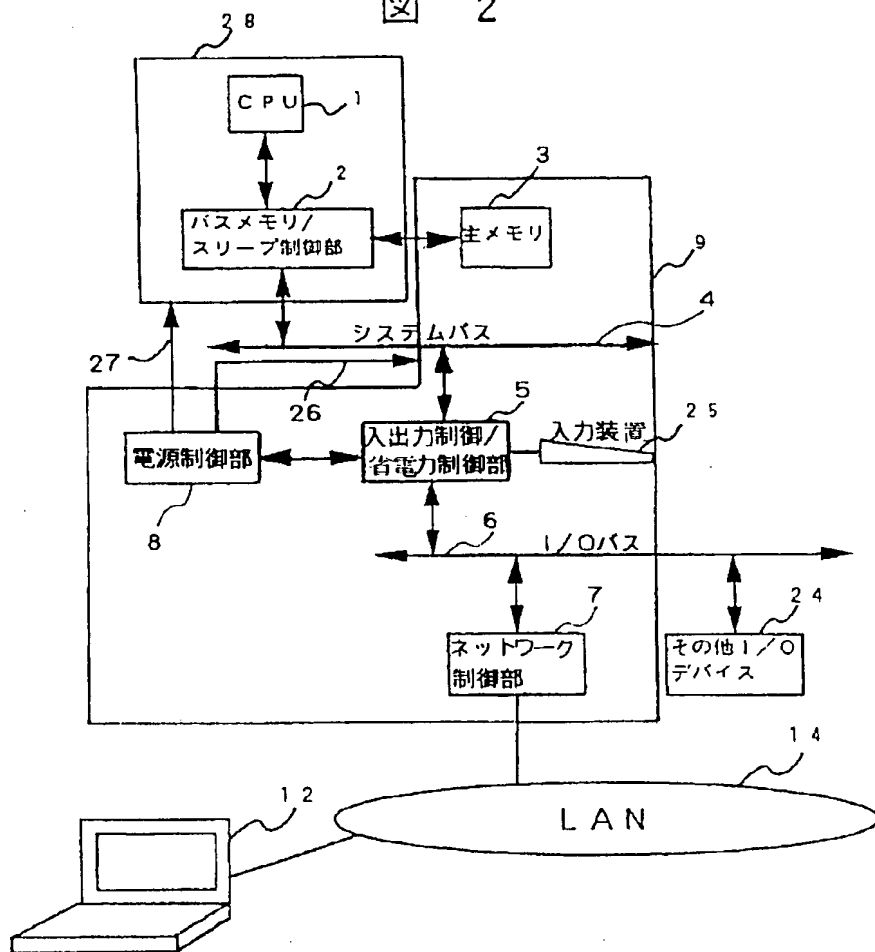
【図7】

図 7



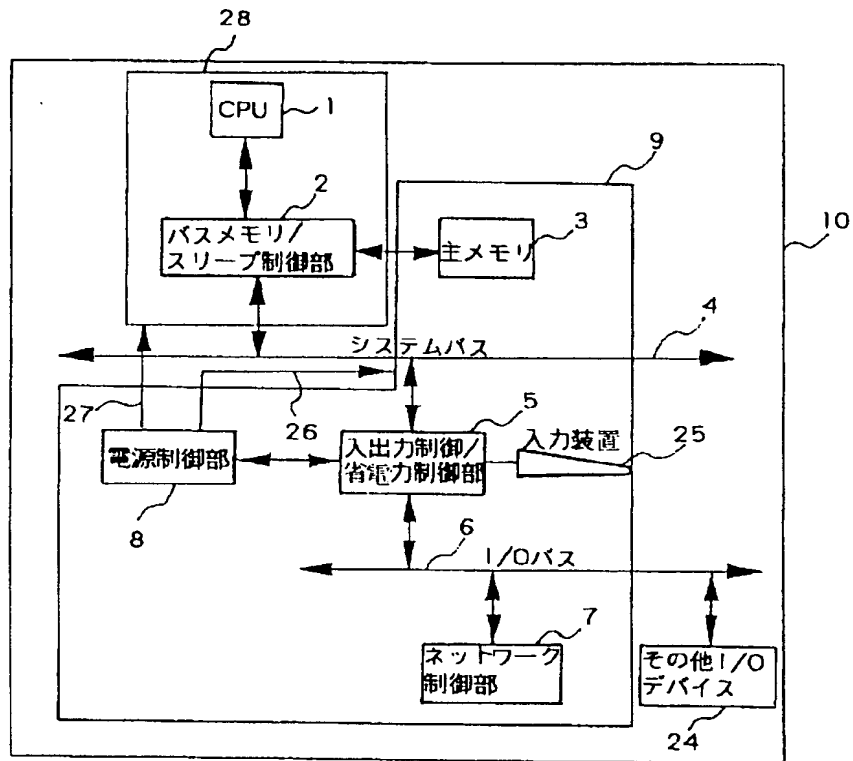
【図 2】

図 2



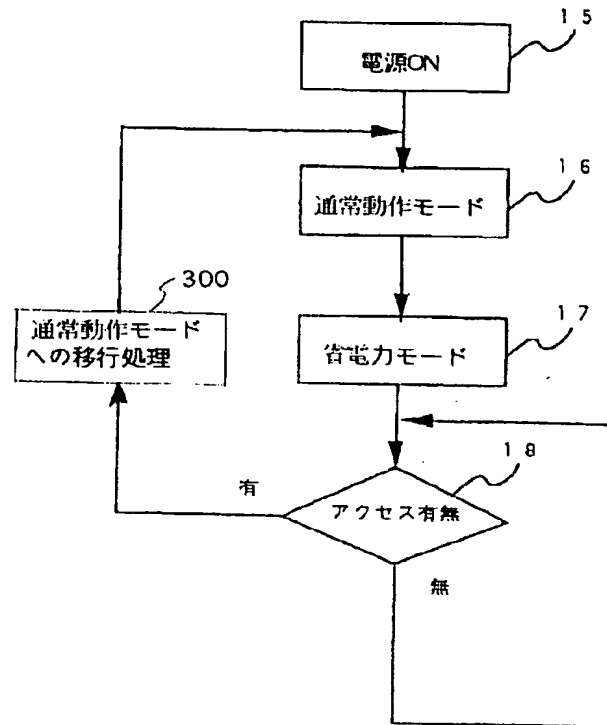
【図3】

図 3

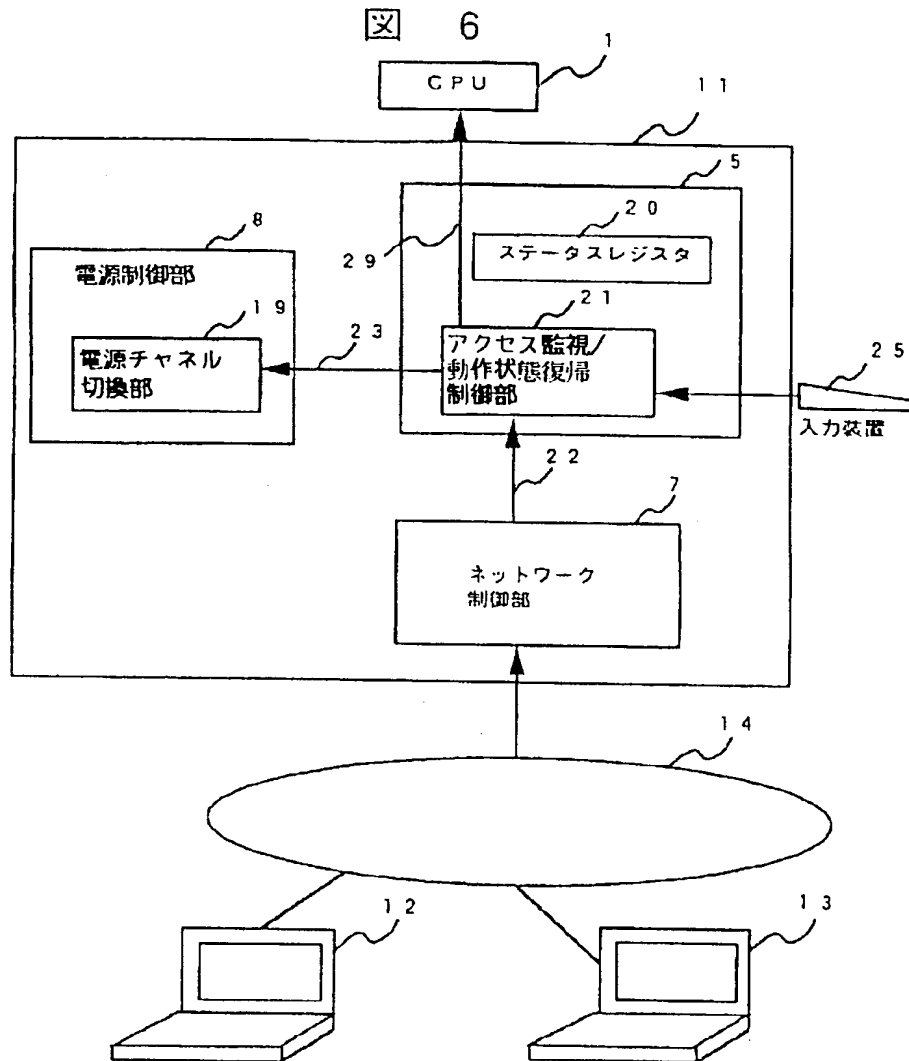


【図5】

図 5



【図 6】



フロントページの続き

(72) 発明者 福田 裕一
愛知県尾張旭市晴丘町池上 1 番地 株式会
社日立製作所オフィスシステム事業部内

(72) 発明者 西岡 清和
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内

(72) 発明者 黒川 能毅
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所マイクロエレクトロニク
ス機器開発研究所内